

一种新型基于时压转换的时钟自恢复电路

余长宏 李培弘 刘济林

(浙江大学信电系信息与通信系统研究所, 浙江杭州 310027)

摘要:本文提出一种全新的时钟自恢复方法和电路拓扑结构。利用简单电路实现时间分布—电压分布(Time-to-Voltage)的转换,将时钟误差转换成电压误差,从而方便的实现时钟信号错误的判断,再利用后端自适应峰值电压获取电路,实现时钟信号的自比较和恢复。该电路设计基于SMIC 0.18 μm 的CMOS工艺。通过全电路的系统仿真,实验结果表明该电路可以实现50MHz—150MHz的宽频时钟恢复,满足在当前复杂芯片系统中实现时钟自恢复的要求。

关键词:时钟自恢复,时压转换,自适应

中图分类号:TN431.2 **文献标识码:**A

New Design of Clock Self Recovery Circuit Based on Time-to-voltage Conversion

Yu Changhong Li Peihong Liu Jilin

(The Institute of Information and Communication Engineering, Zhejiang University; Hangzhou 310027, China)

Abstract: A totally new architecture for clock recovery is delivered in the article. Very simple circuit is designed for time-to-voltage conversion, which transforms time error into voltage error. It is very convenient to use the transformed voltage for error detection. The voltage is processed by a self-adaptive peak value capture circuit to realize voltage comparison and clock self-recovery. The circuit is designed with SMIC 0.18 μm process lib. Systemic circuit simulation was carried out and experiment results indicate that the designed circuit can work within a wide band of 50MHz to 150MHz, which meets the requirement of clock recovery in a VLSI system design.

Keywords: self-recovery, time-to-voltage conversion, self-adaptive.

1 引言

随着电子工业的发展和人类需求不断增加,电子产品的系统化、集成化、高速化已成为必然的发展趋势。同时CMOS工艺水平的不断发展,也促使芯片集成度随之不断提高,单位芯片内集成的逻辑门急剧增加,系统工作频率越来越高。时钟信号,作为数字系统最重要的信号,一方面,传输线宽不断减小,另一方面,传输路径却不断增加。工作频率的不断加,导致时钟发生错误的概率大大增加,因而如何解决时钟信号的衰减和出错已经成为超大规模集成电路设计中必须要解决的一个难题。

为了解决这个技术难题,研究人员提出了各种结构时钟数据恢复(CDR)电路^[1,2]。目前主要的实

现方法,是利用锁相环PLL(Phase Locked Loop)技术或延迟环DLL(Delay Locked Loop)技术,实现时钟信号周期延时,再利用数字逻辑,对延迟后的时钟信号和自身相比较,判断出时钟缺陷(错误)的存在。由于PLL或者DLL的存在,整个电路占去很大的芯片面积,同时功耗也非常大^[3,4]。针对传统PLL和DLL的缺点,部分研究人员提出了改进简化型PLL和DLL^[5,6,7],但是由于利用传统的时钟先自身延时、再比较的方法,整个电路实现复杂度仍旧很高,电路规模较大,不利于作为单元模块,嵌入超大规模集成电路设计中。另一方面,研究人员从时钟冗余的角度,提出通过产生高可靠的冗余时钟^[8]方法来解决系统时钟出错时的时钟自恢复功能,但是由于大量冗余单元的存在,降低了系统的工作频率。

针对目前时钟数据恢复电路存在的缺点,本文

提出一种新的时钟自恢复电路拓扑结构。利用时压 (Time-to-Voltage) 转换, 在无参考时钟情况下, 将难以判断的时间分布转换到电压分布, 再利用简单数字逻辑, 采用电压自适应方法, 完成对转换后的时钟信号的比较和自恢复。利用这种方法实现, 电路结构非常简单, 同时功耗非常低, 相比传统的恢复电路可以节省 80% 以上。

2 电路拓扑结构原理

针对传统时钟恢复电路存在的诸多问题, 本文提出了一种的基于时压转换的全新时钟自恢复电路拓扑结构: 首先利用原始时钟信号控制镜像恒流源对电容充放电, 将无法判断的时间分布转换成电压分布进行比较; 然后通过检测电压来判别系统时钟是否存在错误, 产生修正原始时钟错误的信号; 最后通过逻辑组合控制电路反馈到原始时钟, 实现时钟的自恢复。电路拓扑结构如图 1 所示。

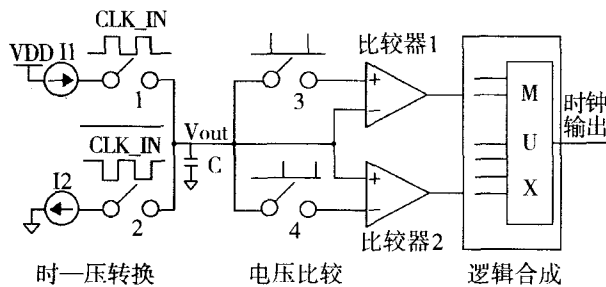
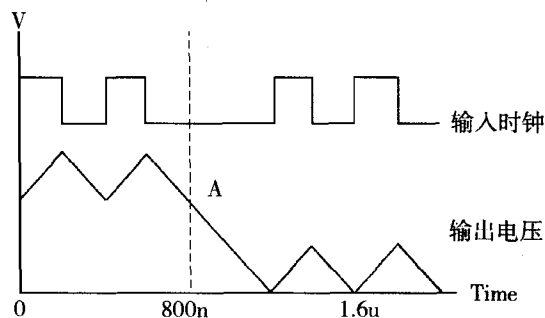


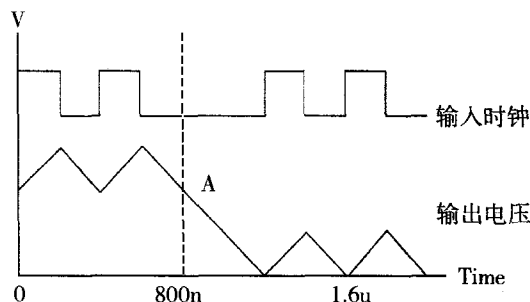
图 1 电路拓扑结构

时钟信号最初进入时—压转换电路, 作为整个电路最关键的时压转换部分, 其主要功能是完成将时间分布转换成电压分布, 将时钟周期内每个时间点都用一个对应电压值来表示, 这样就可以通过电压值的变化来判断时钟是否存在错误。本文采用图 1 所示的时—压转换电路结构来实现时间分布到电压分布转换。

其中 I_1 和 I_2 为镜像恒流源, S_1 和 S_2 为 MOS 开关。时—压转换部分的工作原理是: 当时钟信号 CLK_IN 为高电平时, 镜像恒流源对电容 C 充电; 当 CLK_IN 为低电平时, 镜像恒流源对电容 C 放电。因而当 CLK_IN 正常工作时, 占空比为 50%, 电容 C 输出为一个周期性的三角波; 当 CLK_IN 出现错误时, I_1 或者 I_2 就会对电容 C 进行超过正常时间的充电或放电, 使电容 C 上的电压超过或者低于正常值, 波形示意如图 2 所示。



(a) 连续高电平出错



(b) 连续低电平出错

图 2 时—压转换波形示意图

为实现电路的功能并保证精度, 电路需要根据不同的时钟频率设定镜像恒流源和电容的数值。在 $0.18\mu\text{m}$ 的 CMOS 工艺且电源电压为 1.8V 情况下, 由于时压转换电路的输出电平作为后级电压比较器的输入, 结合公式 (1), 所以 V_{out} 应当控制在 $0.5\text{V} \sim 1.3\text{V}$ 。同时考虑到时钟发生错误时, 输出电平会远超过正常值或者远低于正常值, 本文设定正常工作时 V_{out} 变化在 $0.7 \sim 1.0\text{V}$, 这样就可以根据不同的频率调整镜像电流源的和电容的大小。例如, 当时钟信号工作频率为 100MHz , 根据公式 (1), 可以粗略计算出最佳的 $I(x)/C$ 为 6×10^7 , 如果电容为 0.1pF , 那么 $I(x)$ 为 $6\mu\text{A}$, 最后根据实际电路做进一步的优化。

$$V(t) = V(0) + \frac{I(x) * t}{C}, x=1, 2 \quad (1)$$

式中, $x=1$ 表示 $I(x)$ 为镜像充电电流值, 且为正值, $x=2$ 表示 $I(x)$ 为镜像放电电流值, 且为负值。

时钟信号通过时压转换电路完成时间分布到电压分布, 得到的电压信号并没有直接反映出时钟是否出错, 这就需要使用电压比较器, 利用参考电平来进行比较识别错误。

本设计采用自适应方法, 通过对前一个周期的电平信号 V_{out} 的峰值提取, 得到最大值和最小值两个参考电平。一旦输出电平 V_{out} 超过最大参考电

压值,就可以判别得到图 2(a)所示的时钟连续高电平出错情况。一旦输出电平 V_{out} 低于最小参考电压值,就可以判别得到图 2(b)所示时钟连续低电平出错情况。

由电压比较电路得到的错误判别信号最终通过简单逻辑组合电路,实现数字时钟的最终合成(CLK_OUT),同时将合成信号反馈到系统时钟(CLK_IN),得到最终的自恢复后的时钟输出。

3 电路实现

根据前面的拓扑结构分析,本文对整个电路进行了设计。本时钟自恢复电路由三部分组成:用于实现时间分布转换到电压分布的时压转换部分;用于检测时钟缺陷的检测部分,和由简单数字逻辑合成的时钟逻辑合成部分。电路的总体框图见图 3。

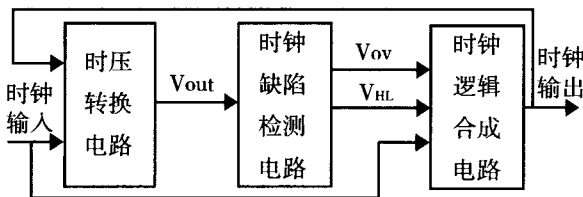


图 3 时钟恢复电路总体框图

3.1 时压转换电路

时压转换电路实现在无参考时钟情况下将难以比较判别错误的时间分布转换成容易比较的电压分布。

时压转换电路的具体实现电路如图 4 所示。实际工作中,通过调整 M4 的宽长比从而可以调整电容放电时的恒流源电流的大小。使电路适用于不同占空比时钟信号的纠错。

3.2 时钟缺陷检测电路

当时钟信号出现错误时,由时压转换电路可以得到超出(或者低于)正常值的电压信号,这个电压信号就是本文时钟缺陷检测电路的检测依据。时钟缺陷检测电路有两小部分:电压峰值检测电路(图 5(a)),峰值比较处理电路(图 5(b))。

由于此电路工作在高频情况下,因而如何设计一个高速电压比较器成为此模块的关键。本文采用带有锁存器和自偏置差分放大器的高速比较器,一旦电容 C 上的电压大于最大值或者小于最小值,比较器就输出高电平。

实际电路中,由于时钟信号的频率不稳定性、C

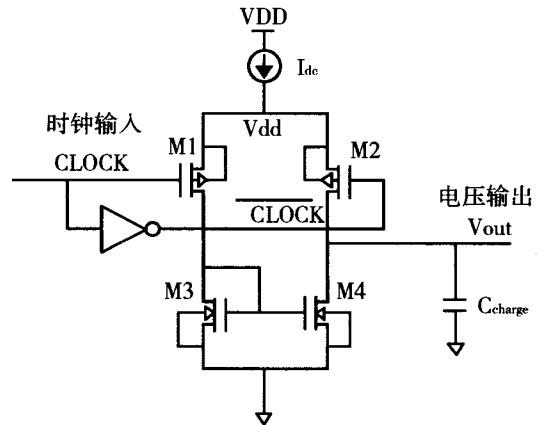
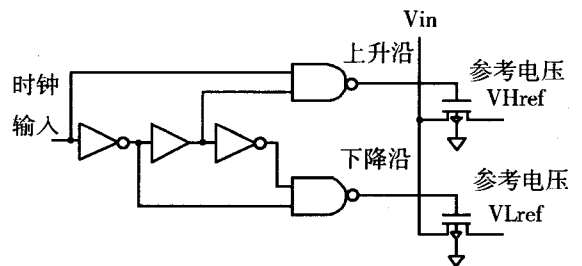
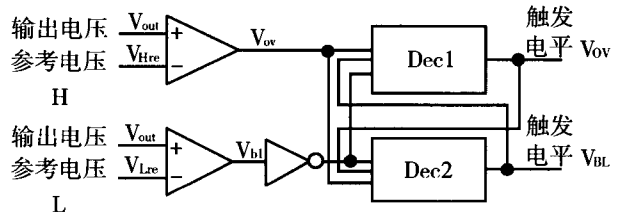


图 4 时压转换电路



(a) 电压峰值检测电路



(b) 峰值比较处理电路

图 5 时钟缺陷检测电路

漏电现象、电路的失配情况等的存在,无法得到时钟正常情况下电压的精确最大、最小值。随着系统长时间工作, V_{out} 输出必然随着时间而发生一定的漂移,导致比较器判断出错,所以无法利用恒定的电压值作为比较器的参考电压来对 V_{out} 进行比较而得到时钟错误判断信号。本设计利用前一个时钟信号的积累电压最大和最小值作为参考,动态调整参考电压,这样就可以很好的避免由于上述原因产生的错误判断。电路采用自适应方法,动态调整参考电压,利用 CMOS 反相器的延迟和逻辑组合,可以产生窄脉冲信号,从而实现图 5(a)所示的参考电压获取。

3.3 时钟逻辑合成电路

根据前文所述,根据不同的错误情况,时钟缺陷检测电路可以检测到连续高电平和连续低电平两种

不同情况下的时钟错误,相应将判断信号 V_{OV} 和 V_{BL} 置高。时钟逻辑合成电路完成的是根据这两个判断信号,利用数据选择器,将 CLK_IN 信号合成正确的 CLK_OUT 信号最终反馈给时压转换电路的输入端并作为最终时钟输出。时钟逻辑合成电路工作真值见表1。

表1 时钟逻辑合成电路工作真值表

SO(V_{OV})	SI(V_{BL})	Out(CLK_OUT)
L	L	CLOCK
L	H	H
H	L	L
H	H	RST

3.4 整个电路工作流程

将这些模块组成在一起,就构成了整个时钟自恢复电路,实现时钟出现连续高电平和连续低电平两种情况下的错误情况识别和校正,其工作过程如下:

(1)当出现连续多个高电平时钟信号时, V_{out} 输出电压会高于参考电压值(图2(a)点A处)。由此可以得到时钟错误的判断信号,再利用逻辑触发器得到持续的逻辑高电平 $V_{OV} = 1$ 信号(正常情况下 $V_{OV} = 0$),根据此 $V_{OV} = 1$ 信号通过时钟逻辑合成电路将 CLK_OUT 置低,由此得到正确的最终输出 CLK_OUT ,并且反馈到 CLK_IN ,使 V_{out} 也随之开始下降。经过反馈后的时钟信号,在经过半个周期之后, V_{out} 值就会低于低电平参考电压 V_{Lref} 值,由此我们可以得到一个低电平错误判断信号,根据此信号,逻辑触发器将 V_{OV} 置成 $V_{OV} = 0$,使 $CLK_OUT = CLK_IN$,恢复正确信号的工作。

(2)当出现连续多个低电平时钟信号时, V_{out} 输出电压就会低于正常电压值(图3(b))。由此可以得到时钟错误的判断信号,再利用逻辑触发器得到持续的逻辑高电平 $V_{BL} = 1$ 信号(正常情况下 $V_{BL} = 0$),根据此 $V_{BL} = 1$ 信号通过时钟逻辑合成电路将 CLK_OUT 置高,由此得到正确的最终输出 CLK_OUT ,并反馈到 CLK_IN ,使 V_{out} 也随之开始上升。经过反馈后的时钟信号,在经过半个周期之后, V_{out} 值就会高于高电平参考电压 V_{Href} 值,由此我们可以得到一个高电平错误判断信号,根据此信号,逻辑触发器将 V_{BL} 置成 $V_{BL} = 0$,使 $CLK_OUT = CLK_IN$,恢复时钟信号的正常工作。

4 仿真结果分析

在 Cadence 工作平台下,利用 SMIC 0.18 μm 工艺库,本时钟自恢复电路的仿真结果为图6所示。

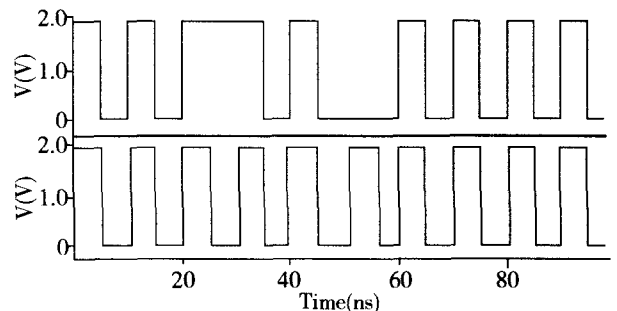


图6 时钟恢复电路仿真结果(上半部分波形为原始输入时钟,下半部分波形为恢复后的时钟输出)

由结果可以得到,在 1.8V 供电电压,100MHz 的工作频率下,本电路由于其结构简单,电路的功耗为 55.6 μW 。同时,由于采用了一只超小值电容和基本 PMOS、NMOS 管,使整个电路非常容易集成到 VLSI 中。作为影响本电路最大工作频率的关键模块—电压比较器,目前设计的最佳响应时间约为 1.5ns;如果能够进一步改善它的性能,那么电路的最大工作频率将可以进一步提高,因而此电路符合未来高速,超大规模集成电路的需要,可以作为系统的一个组件嵌入到系统中用来恢复系统时钟。

5 结论

本文提出了一种全新的时钟自恢复电路,采用了将时间分布转换成电压分布的方法,克服了传统时钟自恢复电路规模大、实现复杂和功耗大等缺点,使整个电路结构简单,实现方便,电路的总体功耗较低。该自恢复电路目前正在 SMIC 0.18 μm 工艺线上流片加工以待进一步参数验证和性能改进。

参考文献:

- [1] M. Banu, A. E. Dunlop, Clock Recovery Circuits With Instantaneous Locking [J]. Electronics Letters 8th November, 1992, 28(23): 2127 - 2130.
- [2] Dong-Hee Kim, Jin-Ku Kang, Clock and data recovery circuit with two exclusive-OR phase frequency detector [J]. Electronics Letters 3rd August, 2000, 36(16): 1347 - 1349.

- [3] Hsiang-Hui Chang, Rong-Jyi Yang, and Shen-Iuan Liu, Low Jitter and Multirate Clock and Data Recovery Circuit Using a MSADLL for Chip-to-Chip Interconnection [J]. IEEE Transactions on Systems—I: Regular Papers, 2004, 51(12): 2356 – 2364.
- [4] Thomas H. Lee, John F. Bulzacchelli, A 155 – MHz Clock Recovery Delay-and Phase-Locked Loop [J]. IEEE Journal of Solid-State Circuits, 1992, 27(12): 1736 – 1746.
- [5] 汪若鹏, 李曙光, 郑增钰. 用于 10Mb/s 和 100Mb/s 以太网的时钟数据恢复电路 [J]. 微电子学, 2002, 32(4): 308 – 311.
- [6] 李捷, 刘三清, 李乃平. 一种用于 622Mb/s 光纤通讯的时钟恢复电路 [J]. 微电子学, 2003, 33(3): 240 – 242.
- [7] 王彦, 叶凡, 李联, 郑增钰. 一个面积和功耗优化且适用于 10/100 Base-T 以太网的 CMOS 时钟恢复电路 [J]. 半导体学报, 2006, 24(6): 195 – 200.
- [8] 王皓, 刘波. 利用 Actel 芯片实现高可靠冗余时钟信号 [J]. 电子测量与仪器学报, 2004, 18(1): 66 – 71.

作者简介:

李培弘: 男, 高级工程师。主要研究方向为图像处理、嵌入式系统、智能交通系统。

E-mail: liph@hzcnc.com

NI 中国成立十周年庆典——继往开来, 再创辉煌

2008 年 3 月 5 日下午, NI 中国十周年庆典仪式在上海浦东标志性的金茂大厦音乐大厅隆重举行。

出席此次活动的嘉宾云集, 不仅有支持公司日常运作的全体本地员工, 专程赴会的几位 NI 全球销售、研发副总裁, 其他分公司代表; 还有与 NI 保持长期合作的系统联盟商、代理商、客户、服务供应商, 以及有关媒体负责人。此次活动以“辉煌十年, 共同走过”为主题, 其一大特色是突出 NI 员工的自豪感、归属感、荣誉感。

进入金色大厅大门, 映入眼帘的是高大的展板, 上面不是公司的宣传语, 也不是产品图片, 而是所有员工的笑脸相片。每一个员工都认真的寻找着自己的位置, 拍照留念, 寓意着在 NI 这片沃土中, 每个成员都能充分成长, 找到让自己充分发展的位置。靠近庆典大厅入口的墙壁上是由所有员工姓名组成的 NI 的蓝色老鹰 LOGO。在两侧的墙壁上是员工亲笔留言, 简短的、真挚的话语, 写出对 NI 的深厚感情,

而 NI 的中文谐音恰为“恩爱”。

庆典活动的组织、编排、主持、演出主要是由 NI 员工一手操办, 既保持了 NI 平时技术研讨会的专业性, 又活泼有趣, 充分体现了 NI 公司对员工的重视以及员工对 NI 公司的热爱。不单是 NI 人对节目有感同身受的亲切感, 其他嘉宾也不时地会心大笑。除了传递企业文化的节目, NI 还为卓有贡献的员工设置了奖项, 在最新的《劳动法》精神下, 共有 9 位员工被荣幸地授予了 NI 终身员工的殊荣。NI 大中国区总经理陈大庞先生获得了 NI 中国团队敬赠的“NI 中国之父”头衔。

回顾 NI 中国十年的风雨历程, 从最初只有一人的筹委会到如今颇具规模, 管理有效、业绩卓著, 人才辈出的现代企业, 这是奋进的十年、开拓的十年、成长的十年、丰收的十年! 从过去到今天, 从今天到未来, 我们对 NI 中国的发展充满着期待和希望。